

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-200908

(43)Date of publication of application : 31.07.1998

(51)Int.Cl.

H04N 9/07  
H01L 27/148  
H04N 5/335

(21)Application number : 09-003113

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 10.01.1997

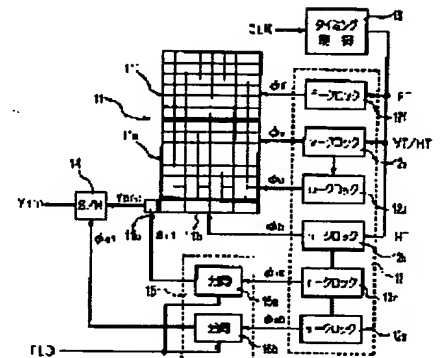
(72)Inventor : WATANABE TORU  
HAMADA MINORU

## (54) SOLID-STATE IMAGE PICKUP DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To extract synthesized information charges of a plurality of picture elements by an image sensor with a mosaic color filter mounted thereon.

**SOLUTION:** Shift registers of odd number columns and even number columns in a storage section 11s of an image sensor 11 have different bit number, charges of light receiving picture elements of odd number columns and even number columns are shared in the transfer process of information charges from the storage section 11s to a horizontal transfer section 11h. The information charges are discharged according to a reset clock  $\phi_{RST}$  whose period is twice that of a horizontal clock  $\phi_{H}$  to synthesize the information charges by two picture elements. Since the charges from the picture elements of odd number columns and even number columns are shared and the information charges corresponding to the same color component are continuous, color components are not mixed even when the two picture elements are synthesized.



## LEGAL STATUS

[Date of request for examination] 29.07.1999

[Date of sending the examiner's decision of rejection] 05.03.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

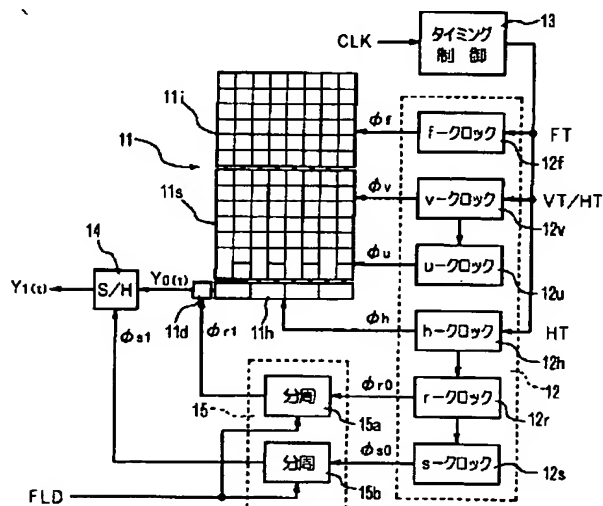
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号



## 【特許請求の範囲】

【請求項1】 カラーフィルタの各セグメントにそれぞれ対応付けられて行列配置される複数の受光画素が各列毎に複数の垂直転送部に結合され、この複数の垂直転送部の各出力が水平転送部の各ビットに結合されると共に、この水平転送部の出力電荷量が出力部で電圧値に変換されて出力される固体撮像素子と、上記複数の受光画素に発生する情報電荷を上記複数の垂直転送部へ転送した後、上記複数の垂直転送部から1水平ライン毎に上記水平転送部へ転送し、さらに上記水平転送部から上記出力部へ転送すると共に、上記出力部に蓄積される情報電荷を上記水平転送部の転送動作に同期して排出する駆動回路と、上記出力部から出力される電圧値を上記駆動回路の排出動作に同期して取り出す検出回路と、を備え、上記駆動回路は、上記固体撮像素子に対して、上記複数の垂直転送部の奇数列と偶数列とで上記水平転送部へ交互に情報電荷を転送すると共に、上記出力部の排出動作の周期を上記水平転送部の転送動作の周期の整数倍に設定して、上記出力部に複数画素分の情報電荷を蓄積して電圧値を出力することを特徴とする固体撮像装置。

【請求項2】 上記駆動回路は、垂直走査及び水平走査される上記固体撮像素子の各垂直走査期間あるいは各水平走査期間に、上記出力部の排出動作のタイミングを上記水平転送部の転送動作の1周期分ずつずらすことを特徴とする請求項1に記載の固体撮像装置。

【請求項3】 上記駆動回路は、一定周期の基準クロックに基づいて動作し、上記垂直転送部の情報電荷を水平走査周期で1水平ライン毎に上記水平転送部へ転送する垂直クロックを発生する垂直クロック発生部と、上記垂直クロック発生部に同期して上記水平転送部の情報電荷を出力部へ転送する水平クロックを発生する水平クロック発生部と、上記水平クロック発生部に同期して上記出力部の情報電荷を排出するリセットクロックを発生するリセットクロック発生部と、上記リセットクロックを $1/n$  ( $n$ : 整数) に分周して上記出力部へ供給する分周回路と、を含むことを特徴とする請求項1に記載の固体撮像装置。

【請求項4】 上記駆動回路は、さらに、上記リセットクロック発生部の動作に対して一定の位相差を維持して上記検出回路で上記出力部の出力電圧値を取り込むサンプリングクロックを発生するサンプリングクロック発生部と、上記サンプリングクロックを $1/n$  ( $n$ : 整数) に分周して上記検出部へ供給する分周回路と、を含むことを特徴とする請求項3に記載の固体撮像装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、CCDイメージセンサを備えた固体撮像装置に関し、特に、イメージセンサにモザイク型のカラーフィルタを装着してカラー撮像を行う際の受光感度の向上に関する。

## 【0002】

【従来の技術】 CCDイメージセンサを用いるテレビカメラ等の撮像装置においては、所定のテレビジョン方式に従う各種の同期信号に基づいて、イメージセンサの各走査タイミングが設定される。例えば、NTSC方式の場合、垂直走査期間が $1/60$ 秒に設定され、さらに水平走査期間が垂直走査期間の $2/525$ に設定される。これにより、1画面分の映像情報が1水平ライン単位で連続する映像信号が出力される。

【0003】 図10は、CCDイメージセンサを用いる撮像装置の基本的な構成を示すブロック図で、図11は、その動作を説明するタイミング図である。フレーム転送型のCCDイメージセンサ1は、撮像部1i、蓄積部1s、水平転送部1h及び出力部1dより構成される。撮像部1iは、垂直方向に連続する互いに平行な複数のCCDシフトレジスタからなり、これらのシフトレジスタの各ビットがそれぞれ受光画素を構成し、撮像期間に発生する情報電荷をそれぞれ蓄積する。蓄積部1sは、撮像部1iのシフトレジスタに連続し、ビット数が一致する複数のCCDシフトレジスタからなり、これらのシフトレジスタの各ビットに撮像部1iの各受光画素から転送出力される情報電荷をそれぞれ一時的に蓄積する。水平転送部1hは、蓄積部1sの各シフトレジスタの出力が各ビットに結合されたCCDシフトレジスタからなり、蓄積部1sから1水平ライン単位で転送出力される情報電荷を順次出力部1d側へ転送する。出力部1dは、水平転送部1hの出力側で情報電荷を受け取る容量を含み、水平転送部1hから転送出力される情報電荷を受けて電荷量に応じた電圧値を出力する。ここで出力される電圧値の変化が画像信号 $Y0(t)$ となる。

【0004】 駆動回路2は、フレームクロック発生部2f、垂直クロック発生部2v、水平クロック発生部2h、リセットクロック発生部2r及びサンプリングクロック発生部2sより構成される。フレームクロック発生部2fは、フレームシフトタイミング信号FTにตอบสนองしてフレームクロック $\phi f$ を発生し、撮像部1iへ供給する。これにより、撮像部1iの各受光画素に蓄積される情報電荷は、垂直走査期間毎に蓄積部1sへ高速転送される。垂直クロック発生部2vは、垂直同期信号VT及び水平同期信号HTにตอบสนองして垂直クロック $\phi v$ を発生し、蓄積部1sへ供給する。これにより、蓄積部1sでは、撮像部1iから転送出力される情報電荷が取り込まれて一時的に蓄積されると共に、蓄積された情報電荷が各水平走査期間に1水平ライン毎に水平転送部1hへ転送される。水平クロック発生部2hは、水平同期信号HTにตอบสนองして水平転送クロック $\phi h$ を発生し、水平転送部1hへ供給する。これにより、1水平ライン毎に蓄積部1sから水平転送部1hへ取り込まれた情報電荷は、順次出力部1d側へ転送出力される。リセットクロック発生部2rは、水平クロック発生部2hの動作に同期し

て出力部1dの情報電荷を順次排出するリセットクロック $\phi_r$ を発生し、出力部1dへ供給する。これにより、水平転送部1hから出力部1dへ出力される情報電荷は、1画素単位で排出されるようになる。そして、サンプリングクロック発生部2sは、リセットクロック発生部2rと同様に、水平クロック発生部2hの動作に同期して出力1dから出力される画像信号 $Y0(t)$ を順次サンプリングするサンプリングクロック $\phi_s$ を発生し、後述するサンプルホールド回路4へ供給する。

【0005】タイミング制御回路3は、一定周期の基準クロックCLKに基づいて動作し、イメージセンサ1の垂直走査及び水平走査の各タイミングを決定する垂直同期信号VT及び水平同期信号HTを発生し、駆動回路2へ供給する。同時に、垂直同期信号VTに一致する周期でフレームシフトタイミング信号FTを発生し、駆動回路2へ供給する。このタイミング制御回路3では、イメージセンサ1の露光状態を最適に保つようにするため、撮像部1iに発生する情報電荷の量に対応して垂直走査期間の途中で撮像部1iの情報電荷を排出させるシャッタ制御が行われる。即ち、シャッタ動作のタイミングを早くすると、フレーム転送開始までの期間が長くなり、撮像部1iでより長い期間情報電荷の蓄積が行われるようになる。逆に、シャッタ動作のタイミングを遅くすると、フレーム転送開始までの期間が短くなり、撮像部1iでは短い期間に限り情報電荷の蓄積が行われるようになる。撮像部1iの情報電荷を排出するシャッタ動作については、駆動回路2からイメージセンサ1に供給する駆動クロックの作用によって実行される。

【0006】サンプルホールド回路4は、サンプリングクロック発生部2sから供給されるサンプリングクロック $\phi_s$ にตอบสนองして画像信号 $Y0(t)$ をサンプリングすることにより、信号レベルを維持する画像信号 $Y1(t)$ を生成する。通常、出力部1dにおいては、リセットクロック $\phi_r$ に従うタイミングで容量の充放電が繰り返されるため、出力部1dから得られる画像信号 $Y0(t)$ は、リセットレベルと、情報電荷量に応じた信号レベルとが交互に連続する。そこで、画像信号 $Y0(t)$ の内、信号レベルのみを取り出すようにサンプリングクロック $\phi_r$ の位相を設定している。従って、出力部1dに蓄積される情報電荷量に対応する信号レベルのみが連続する画像信号 $Y1(t)$ を得ることができる。

【0007】分周回路5は、リセットクロック $\phi_r$ を分周する第1の分周器5a及びサンプリングクロック $\phi_s$ を分周する第2の分周器5bより構成される。この分周回路5は、必要に応じてリセットクロック $\phi_r$ 及びサンプリングクロック $\phi_s$ を分周するものであり、出力部1dのリセット動作を間欠的にすることにより、出力部1dで複数画素の情報電荷を混合できるようにしている。例えば、図12に示すように、水平クロック $\phi_h$ と同一の周期で生成されるリセットクロック $\phi_{r0}$ 及びサンプリン

グクロック $\phi_{s0}$ を1/2に分周し、周期が水平クロック $\phi_h$ の2倍となったリセットクロック $\phi_{r1}$ 及びサンプリングクロック $\phi_{s1}$ を出力部1d及びサンプルホールド回路4へ供給するように構成される。周期が2倍となったリセットクロック $\phi_{r1}$ では、出力部1iに2画素分の情報電荷が蓄積される毎に情報電荷がリセットされることから、約2倍のレベルの画像信号 $Y0(t)$ を得ることができる。

【0008】イメージセンサ1の撮像部1iでは、一面分の情報電荷を蓄積する期間は最長で1垂直走査期間となるが、イメージセンサ1が撮らえる被写体が暗い場合、蓄積期間を最長に設定しても、露光不足を解消できないことがある。このような場合に、分周回路5を動作させ、出力部1dでの情報電荷のリセット動作を1/2に間引くことにより、2画素分の情報電荷を1画素分として取り出すようにしている。従って、暗い被写体に対しても、露光不足となることなく十分なレベルの画像信号 $Y1(t)$ を得られるようになる。

【0009】

【発明が解決しようとする課題】撮像装置でカラー撮像を行う場合、イメージセンサ1の撮像部1iに、各受光画素を所定の色成分と対応させるカラーフィルタが装着される。このカラーフィルタは、三原色またはその補色が各受光画素に対応するセグメントに所定の順序で規則的に割り当てられる。例えば、モザイクフィルタでは、奇数行のセグメントに白W及び緑Gが交互に割り当てられ、偶数行のセグメントにシアンCy及び黄Yeが交互に割り当てられる。

【0010】イメージセンサ1の撮像部1iに上述のようなカラーフィルタが装着されている場合、水平方向に隣接する2画素が、互いに異なる色成分に対応付けられるため、隣接する受光画素に蓄積される情報電荷も互いに異なる色成分を表すことになる。このため、2画素の情報電荷を出力部で合成して画像信号 $Y0(t)$ を得ようとすると、色成分が混合され、後の信号処理において全ての色成分を正しく再生できないことがある。特に、モザイクフィルタを用いたときには、その色成分の配列の特性上、画像信号 $Y1(t)$ の信号処理で色成分の分離が困難になるという問題を有している。

【0011】そこで本発明は、カラーフィルタが装着されたイメージセンサに対して2画素の情報電荷を合成できるようにすることを目的とする。

【0012】

【課題を解決するための手段】本発明は、上述の課題を解決するために成されたもので、その特徴とするところは、カラーフィルタの各セグメントにそれぞれ対応付けられて行列配置される複数の受光画素が各列毎に複数の垂直転送部に結合され、この複数の垂直転送部の各出力が水平転送部の各ビットに結合されると共に、この水平転送部の出力電荷量が出力部で電圧値に変換されて出力

される固体撮像素子と、上記複数の受光画素に発生する情報電荷を上記複数の垂直転送部へ転送した後、上記複数の垂直転送部から1水平ライン毎に上記水平転送部へ転送し、さらに上記水平転送部から上記出力部へ転送すると共に、上記出力部に蓄積される情報電荷を上記水平転送部の転送動作に同期して排出する駆動回路と、上記出力部から出力される電圧値を上記駆動回路の排出動作に同期して取り出す検出回路と、を備え、上記駆動回路は、上記固体撮像素子に対して、上記複数の垂直転送部の奇数列と偶数列とで上記水平転送部へ交互に情報電荷を転送すると共に、上記出力部の排出動作の周期を上記水平転送部の転送動作の周期の整数倍に設定して、上記出力部に複数画素分の情報電荷を蓄積して電圧値を出力することにある。

【0013】本発明によれば、固体撮像素子の各受光画素が1列おきに同一の色成分に対応付けられているとき、垂直転送部から水平転送部への転送を1列おきに行うようにしたことで、垂直転送部には、同じ色成分に対応付けられた情報電荷が同時に転送されるようになる。従って、水平転送部の出力側で、色成分を混合させることなく2画素以上の情報電荷が合成される。

【0014】

【発明の実施の形態】図1は、本発明の固体撮像装置の構成を示すブロック図で、図2は、本発明の固体撮像装置に用いられるイメージセンサ11に装着されるモザイク型のカラーフィルタの構成を示す平面図である。フレーム転送型のCCDイメージセンサ11は、図10と同様に、撮像部11i、蓄積部11s、水平転送部11h及び出力部11dより構成される。撮像部11iは、垂直方向に連続する互いに平行な複数のCCDシフトレジスタからなり、これらのシフトレジスタの各ビットがそれぞれ受光画素を構成し、撮像期間に発生する情報電荷をそれぞれ蓄積する。蓄積部11sは、撮像部11iのシフトレジスタに連続し、ビット数が一致する複数のCCDシフトレジスタからなり、これらのシフトレジスタの各ビットに撮像部11iの各受光画素から転送出力される情報電荷をそれぞれ一時的に蓄積する。この蓄積部11sのシフトレジスタは、偶数列で水平転送部11hに接続される側が1ビットだけ多くなるように形成される。水平転送部11hは、蓄積部11sの各シフトレジスタの出力が各ビットに結合されたCCDシフトレジスタからなり、蓄積部11sから転送出力される情報電荷を順次出力部11d側へ転送する。この水平転送部11hのシフトレジスタは、1ビットに撮像部11i及び蓄積部11sのシフトレジスタの2列が対応付けられる。出力部11dは、水平転送部11hの出力側で情報電荷を受ける容量を含み、水平転送部11hから転送出力される情報電荷を受けて電荷量に応じた電圧値を出力する。

【0015】このイメージセンサ11の撮像部11iには、図2に示すようなモザイク型のカラーフィルタが装

着される。このカラーフィルタは、撮像部11iの各受光画素に対応するように複数のセグメントCに分割され、各セグメントCが、所定の色成分に対応付けられる。例えば、白(W)、緑(G)、黄(Ye)及びシアン(Cy)の4種類の色成分を用いたとき、W及びGが奇数行のセグメントCに交互に対応付けられ、Ye及びCyが偶数行のセグメントCに交互に対応付けられる。従って、奇数行の受光画素には、各列毎にW成分に対応する情報電荷とG成分に対応する情報電荷とが交互に蓄積され、偶数行の受光画素には、各列毎にYe成分に対応する情報電荷とCy成分に対応する情報電荷とが交互に蓄積される。

【0016】駆動回路12は、フレームクロック発生部12f、垂直クロック発生部12v、補助クロック発生部12u、水平クロック発生部12h、リセットクロック発生部12r及びサンプリングクロック発生部12sより構成される。フレームクロック発生部12fは、フレームシフトタイミング信号FTにตอบสนองしてフレームクロックφfを発生し、撮像部11iへ供給する。これにより、撮像部11iの各受光画素に蓄積される情報電荷は、各垂直走査期間毎に蓄積部11sへ高速転送される。このフレームクロック発生部12fは、図10の駆動回路2と同一である。垂直クロック発生部12vは、垂直同期信号VT及び水平同期信号HTにตอบสนองして垂直クロックφvを発生し、蓄積部11sへ供給する。補助クロック発生部12uは、水平同期信号HTにตอบสนองし、垂直クロックφhの1/2の周期の補助クロックφuを発生し、蓄積部11sの出力端部で偶数列に余分に設けられるビットへ供給する。これにより、蓄積部11sでは、撮像部11iから転送出力される情報電荷が取り込まれて一時的に蓄積されると共に、その情報電荷が水平走査期間の1/2の期間毎に、奇数列と偶数列とで交互に1/2ラインずつに水平転送部11hへ転送される。

【0017】水平クロック発生部12hは、水平同期信号HTにตอบสนองして水平転送クロックφhを発生し、水平転送部11hへ供給する。水平転送部11hは、シフトレジスタのビット数が1/2に縮小されているため、この水平転送部11hに取り込まれた情報電荷は、水平走査期間の1/2の期間で出力部11dへの転送出力が完了する。このような1/2の画素数の情報電荷の転送出力が、1水平走査期間の間に2回繰り返されることにより、1行分の情報電荷の転送出力が完了する。リセットクロック発生部12rは、水平クロック発生部12hの動作に同期して出力部11dの情報電荷を順次排出するリセットクロックφrを発生し、出力部11dへ供給する。これにより、水平転送部11hから出力部11dへ出力される情報電荷は、1画素単位で排出されるようになる。そして、サンプリングクロック発生部12sは、リセットクロック発生部12rと同様に、水平クロック発生部12hの動作に同期して出力11dから出力され

る画像信号 $Y0(t)$ を順次サンプリングするサンプリングクロック $\phi_s$ を発生し、後述するサンプルホールド回路14へ供給する。

【0018】図2に示すようなモザイク型のカラーフィルタがイメージセンサ11の撮像部11iに接続されている場合、蓄積部11sから水平転送部11sへ1列おきに（奇数列と偶列とを別々に）情報電荷を転送すると、同じ色成分が水平走査期間の1/2の期間連続するようになる。タイミング制御回路13は、イメージセンサ11の垂直走査及び水平走査の各タイミングを決定する垂直同期信号VT及び水平同期信号HTを発生し、さらに、垂直同期信号VTに一致する周期でフレーム転送タイミング信号FTを発生し、それぞれ駆動回路12へ供給する。このタイミング制御回路13は、図10に示すタイミング制御回路3と同一である。

【0019】サンプルホールド回路14は、サンプリングクロック発生部12sから供給されるサンプリングクロック $\phi_s$ に応答してイメージセンサ11から出力される画像信号 $Y0(t)$ をサンプリングする。通常、出力部11dでは、リセットクロック $\phi_r$ に従うタイミングで容量の充放電が繰り返されるため、出力部11dから得られる画像信号 $Y0(t)$ は、リセットレベルと、情報電荷量に応じた信号レベルとが交互に連続する。そこで、画像信号 $Y0(t)$ の内、信号レベルのみを取り出すようにサンプリングクロック $\phi_r$ の位相を設定している。従って、出力部11dに蓄積される情報電荷量に対応する信号レベルのみが連続する画像信号 $Y1(t)$ を得ることができる。

【0020】分周回路15は、リセットクロック $\phi_r$ を分周する第1の分周器15a及びサンプリングクロック $\phi_s$ を分周する第2の分周器15bより構成される。この分周回路15は、リセットクロック $\phi_r$ 及びサンプリングクロック $\phi_s$ をそれぞれ同じ比率で分周するものであり、出力部11dのリセット動作を間欠的にすることにより、出力部11dで複数の画素の情報電荷を混合できるようにしている。例えば、水平クロック $\phi_h$ と同一の周波数で生成されるリセットクロック $\phi_{r0}$ 及びサンプリングクロック $\phi_{s0}$ を1/2に分周し、周期が水平クロック $\phi_h$ の2倍となったリセットクロック $\phi_{r1}$ 及びサンプリングクロック $\phi_{s1}$ を出力部11d及びサンプルホールド回路4へ供給するように構成される。また、各分周器15a、15bは、1垂直動作期間毎に反転するフレーム識別信号FLDに従い、各垂直走査期間で分周動作のタイミングを1クロック周期ずつずらす。これにより、出力部11dで合成される画素の組み合わせが、各垂直走査期間で1画素ずつずれるようになり、画素合成による解像度の劣化が最小となるようにしている。

【0021】図3は、イメージセンサ11の蓄積部11sと水平転送部11hとの接続部の構造の一例を示す平面図である。複数の垂直転送チャンネル21a、21bが、分離領域22により区画され、垂直方向（転送方

向）に互いに平行に延在する。垂直転送チャンネル21a、21bの出力端には、各垂直転送チャンネル21a、21bに連続する水平転送チャンネル23が、分離領域24により区画され、水平方向に延在する。複数の垂直転送チャンネル21a、21b上には、2層構造を有する複数の転送電極25a～25dが、各列で共通となるように水平方向に延在し、それぞれ絶縁された状態で互いに平行に配置される。これらの転送電極25a～25dには、4相の垂直クロック $\phi_{v1} \sim \phi_{v4}$ が印加される。水平転送チャンネル23上には、2層構造を有する複数の転送電極26a、26bが、垂直方向に延在して配置される。これらの転送電極26a、26bは、隣り合う2本が共通に接続され、2相の水平クロック $\phi_{h1}$ 、 $\phi_{h2}$ が印加される。この転送電極26a、26bの内、下層側は、垂直転送チャンネル21a、21bと水平転送チャンネル23との接続部分を被うように、垂直転送チャンネル21a、21b側まで延在されている。さらに、奇数列の垂直転送チャンネル21aと水平転送チャンネル23との接続部分は、偶数列よりも1ビット分長く形成され、その接続部分も転送電極26aにより被うようにしている。

【0022】垂直転送チャンネル21a、21bの出力側（水平転送チャンネル23側）には、2層構造を有する補助転送電極27a～27dが形成される。下層側の補助転送電極27b、27dは、偶数列の垂直転送チャンネル21b上のみ設けられる。また、上層側の補助転送電極27a、27cは、全ての垂直転送チャンネル21a、21bを横切って配置されるが、奇数列の垂直転送チャンネル21a上では、転送電極26aに重なり、偶数列の垂直転送チャンネル21bに対してのみ作用する。そして、これらの補助転送電極27a～27dには、4相の補助クロック $\phi_{u1} \sim \phi_{u4}$ が印加される。これにより、補助転送電極27a～27dは、偶数列の垂直転送チャンネル21bの出力端で1ビット分の補助ビットを形成し、蓄積部11sから水平転送部11hへ情報電荷が転送される過程で、偶数列の垂直転送チャンネル21bで1画素分の情報電荷を一時的に蓄積できるようになる。

【0023】図4及び図5は、図3に示す固体撮像素子の動作を説明するタイミング図であり、図4は水平走査周期の動作、図5は水平クロック周期の動作をそれぞれ示している。尚、実際には、垂直クロック $\phi_v$ 及び補助クロック $\phi_u$ が4相であり、水平クロック $\phi_h$ が2相であるが、図面上では代表クロックのみを示している。図4に示すように、垂直クロック $\phi_v$ は、水平同期信号HTに従う周期で転送電極25a～25dをクロックキングし、垂直転送チャンネル21a、21b内の情報電荷を1水平走査期間に1画素ずつ垂直方向へ転送する。補助クロック $\phi_u$ は、垂直クロック $\phi_v$ の1/2の周期を有し、水平同期信号HTの1/2の周期で補助転送電極27a～27dをクロックキングする。補助転送電極27a～27dは、偶数列の垂直転送チャンネル21bに対しての

み有効に作用するため、偶数列の垂直転送チャネル21b内の情報電荷が、出力端部で1水平走査期間に2画素ずつ垂直方向へされる。このとき、転送電極25a~25d部分から補助転送電極27a~27d部分へは、1水平走査期間に1画素の情報電荷しか転送されないため、実際に補助転送電極27a~27d部分では、1画素おきに空転送となる。従って、奇数列の垂直転送チャネル21aと偶数列の垂直転送チャネル21bとでは、1/2垂直走査期間だけずれたタイミングで1画素の情報電荷が水平転送チャネル23へ転送される。

【0024】水平クロック $\phi_h$ は、垂直クロック $\phi_v$ 及び補助クロック $\phi_u$ に対応して起動し、転送電極26a、26bを水平走査周期よりも十分に短い周期でクロッキングする。この水平クロック $\phi_h$ の周期は、水平転送チャネル23内にある情報電荷を1/2水平走査期間に全て転送出力でき、且つ、一定のブランキング期間を確保できるように設定される。これにより、各水平走査期間の前半期間に、奇数列の垂直転送チャネル21aからの情報電荷が転送出力され、後半期間に、偶数列の垂直転送チャネル21bからの情報電荷が転送出力される。

【0025】図5に示すように、リセットクロック $\phi_{0r}$ は、水平クロック $\phi_h$ に同期し、水平転送周期に一致する周期で、イメージセンサ11の出力部11dに蓄積される情報電荷を排出させる。分周リセットクロック $\phi_{r1}$ は、リセットクロック $\phi_{0r}$ を1/2に分周して生成され、水平転送周期の2倍の周期で、イメージセンサ11の出力部11dに蓄積される情報電荷を排出する。イメージセンサ11の出力部11dには、この分周リセットクロック $\phi_{r1}$ が供給される。これにより、イメージセンサ11の出力部では、2画素分の情報電荷が同時に蓄積されるようになり、出力される画像信号 $Y0(t)$ は、分周リセットクロック $\phi_{r1}$ で指定されるリセット期間の後、2段階で信号レベルを変化させる。

【0026】サンプリングクロック $\phi_{s0}$ は、リセットクロック $\phi_{0r}$ と同一周期で、リセットクロック $\phi_{0r}$ のリセット期間の直前にサンプリングタイミングを有し、サンプルホールド回路14で画像信号 $Y0(t)$ の信号レベルをサンプリングする。分周サンプリングクロック $\phi_{s1}$ は、サンプリングクロック $\phi_{s0}$ を1/2に分周して生成され、サンプルホールド回路14において、画像信号 $Y0(t)$ をサンプリングクロック $\phi_{s0}$ の2倍の周期でサンプリングする。画像信号 $Y0(t)$ を受けるサンプルホールド回路14には、この分周サンプリングクロック $\phi_{s1}$ が供給される。これにより、分周リセットクロック $\phi_{r1}$ で指定されるリセット期間の後に2段階で信号レベルを変化させる画像信号 $Y0(t)$ の信号レベルがサンプリングされ、信号レベルが2クロック期間（水平クロック $\phi_h$ の2周期分）維持される画像信号 $Y1(t)$ が生成される。

【0027】上述のイメージセンサ11では、図2に示すようなモザイク型のカラーフィルタが装着されている

場合、各色成分が各水平走査期間の1/2の期間毎に連続するようになる。例えば、W成分及びG成分が交互に対応付けられる奇数行の受光画素に対応する画像信号 $Y0(t)$ は、図6に示すように、水平走査期間の前半期間でW成分が連続し、後半期間でG成分が連続する。また、Cy成分及びYe成分が交互に対応付けられる偶数行の受光画素に対応する画像信号 $Y0(t)$ は、図6に示すように、水平走査期間の前半期間でCy成分が連続し、後半期間でYe成分が連続する。これにより、水平方向で2画素の情報電荷を合成したとしても、異なる色成分が互いに混ざり合うことはなく、信号処理回路で適切な処理を行うことができる。

【0028】ところで、2画素の情報電荷を合成して画像信号 $Y0(t)$ を取り出すようにした場合、水平方向の解像度が、画素を合成しない場合に比べて1/2となるため、画質の劣化は避けられない。そこで、情報電荷を合成する2画素の組み合わせを垂直走査期間毎に反転させるようにして、擬似的なインタレース駆動とし、画質の劣化を最小限にすることが考えられる。

【0029】図7は、情報電荷を合成する2画素を奇数番目の垂直走査期間（奇数フレーム）と偶数番目の垂直走査期間（偶数フレーム）とで反転させるようにしたときの動作を説明するタイミングである。分周リセットクロック $\phi_{r1}$ は、図7に示すように、奇数フレームと偶数フレームとで分周のタイミング、即ち、パルスを間引くタイミングが1クロック期間ずれて設定される。同様に、分周サンプリングクロック $\phi_{s1}$ も、図7に示すように、奇数フレームと偶数フレームとで分周のタイミングが1クロック期間ずれて設定される。従って、分周リセットクロック $\phi_{r1}$ 及び分周サンプリングクロック $\phi_{s1}$ は、リセットクロック $\phi_{0r}$ 及びサンプリングクロック $\phi_{s0}$ に対して2倍の周期を有し、奇数フレームと偶数フレームとで互いに1/2周期の位相差を有する。このような分周リセットクロック $\phi_{r1}$ 及び分周サンプリングクロック $\phi_{s1}$ により画像信号 $Y1(t)$ を得るようになれば、イメージセンサ11の出力部11dで合成される2画素の組み合わせが、奇数フレームと偶数フレームとで反転するようになる。

【0030】図2に示すようなカラーフィルタがイメージセンサ11に装着された場合を考えると、1画素おきに情報電荷が合成される2画素の組み合わせは、図8に破線で示すように、奇数フレームと偶数フレームとで反転するようになる。即ち、G成分のみを考えると、奇数フレームで4n列（n：整数）と4n+2列とが合成されるのに対して、偶数フレームでは4n-2列と4n列とが合成されるようになる。この規則は、全ての色成分で成立する。従って、イメージセンサ11で水平方向に擬似的なインタレース走査が行われるようになり、水平方向の解像度の劣化を低減することができる。

【0031】尚、情報電荷を合成する2画素の組み合わ



せの反転は、垂直走査期間単位で行うようにする他、水平走査期間単位で行うようにしてもよい。即ち、図9に示すように、2行毎に合成する2画素の組み合わせを反転させることにより、同じ色成分に着目すれば、1行毎に合成する2画素の組み合わせが反転するようになる。この場合も、イメージセンサ11が、水平方向に擬似的にインタレース走査されることになるため、図8の場合と同様に、水平方向の解像度の劣化を低減することができる。また、垂直走査期間単位での組み合わせの反転と水平走査期間単位での組み合わせの反転とを組み合わせることにより、さらなる効果を期待できる。

【0032】以上の実施の形態においては、情報電荷を2画素単位で合成する場合を例示したが、3画素以上の情報電荷を合成するようにしてもよい。この場合、リセットクロック $\phi r0$ 及びサンプリングクロック $\phi s0$ から分周リセットクロック $\phi r1$ 及び分周サンプリングクロック $\phi s1$ を得る際の分周比率を変更することで容易に対応可能である。

【0033】

【発明の効果】本発明によれば、モザイク型のカラーフィルタを装着したイメージセンサでも、水平方向に2画素の情報電荷を合成して取り出すようにすることができる。この際、色成分の混合がないため、出力される画像信号に対する信号処理が的確に施される。

【0034】従って、カラー撮像において、撮像装置の感度を高くすると同時に、感度向上に伴う解像度の低下を抑圧することで、高感度で且つ解像度の高い撮像装置を実現することができる。

【図面の簡単な説明】

【図1】本発明の固体撮像装置の構成を示すブロック図である。

【図2】モザイク型のカラーフィルタの構成を示す平面図である。

【図3】イメージセンサの蓄積部と水平転送部との接続部分の構造の一例を示す平面図である。

【図4】本発明の固体撮像装置の第1の動作を説明するタイミング図である。

【図5】本発明の固体撮像装置の第2の動作を説明する

タイミング図である。

【図6】モザイク型のカラーフィルタが装着されたイメージセンサから出力される画像信号の色成分の配列を示すタイミング図である。

【図7】本発明の固体撮像装置の第3の動作を説明するタイミング図である。

【図8】2画素の情報電荷を合成する際の組み合わせの第1の状態を示す模式図である。

【図9】2画素の情報電荷を合成する際の組み合わせの第2の状態を示す模式図である。

【図10】従来の固体撮像装置の構成を示すブロック図である。

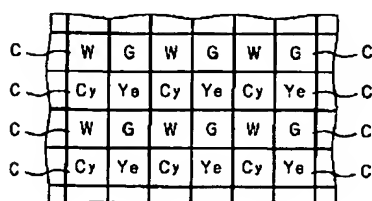
【図11】従来の固体撮像装置の第1の動作を説明するタイミング図である。

【図12】従来の固体撮像装置の第2の動作を説明するタイミング図である。

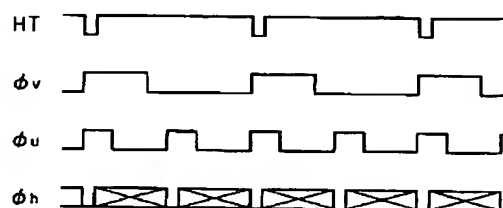
【符号の説明】

- 1、11 イメージセンサ
- 1i、11i 撮像部
- 1s、11s 蓄積部
- 1h、11h 水平転送部
- 1d、11d 出力部
- 2、12 駆動回路
- 2f、12f フレームクロック発生部
- 2v、12v 垂直クロック発生部
- 2h、12h 水平クロック発生部
- 2r、12r リセットクロック発生部
- 2s、12s サンプリングクロック発生部
- 3、13 タイミング制御回路
- 4、14 サンプルホールド回路
- 5、15 分周回路
- 12u 補助クロック発生部
- 21a、21b 垂直転送チャネル
- 22、24 チャネル分離領域
- 23 水平転送チャネル
- 25a～25d、26a、26b 転送電極
- 27a～27d 補助電極

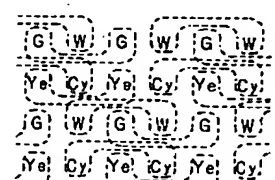
【図2】



【図4】

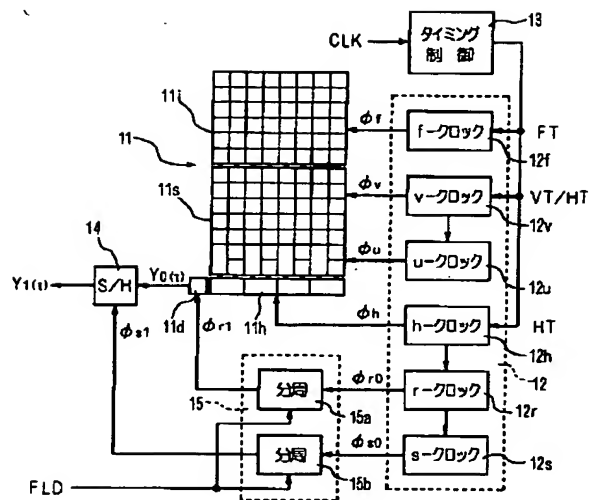


【図9】

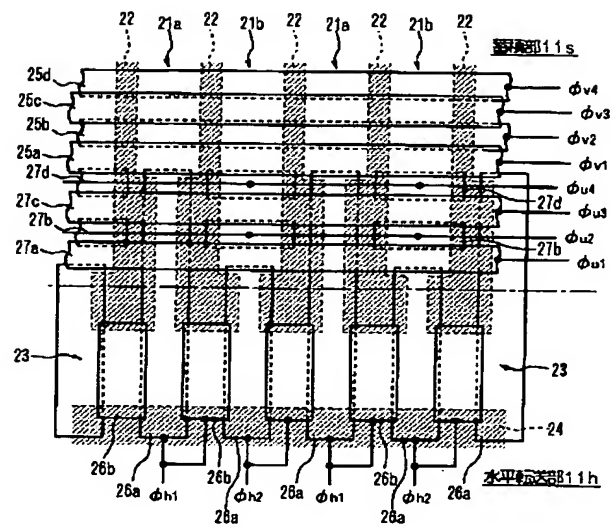




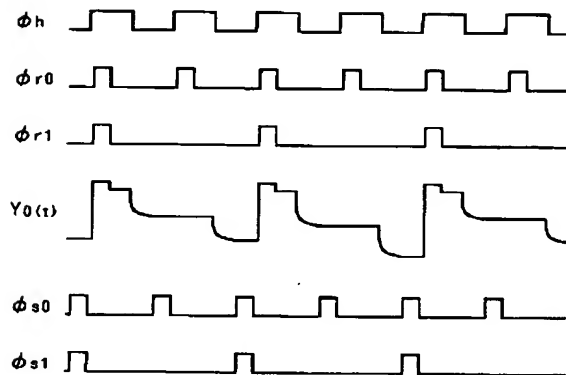
【図1】



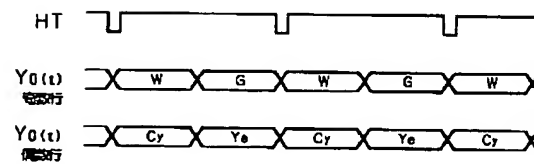
【図3】



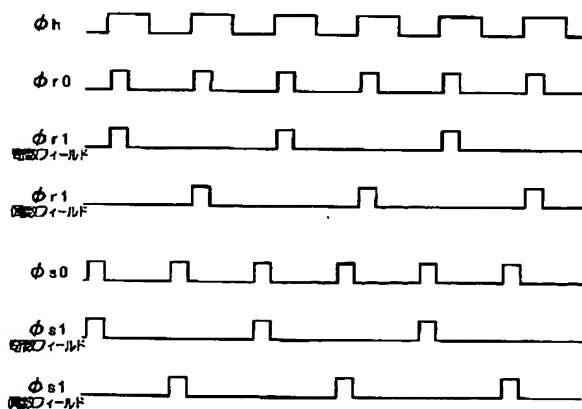
【図5】



【図6】

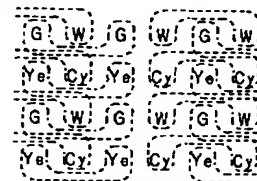


【図7】

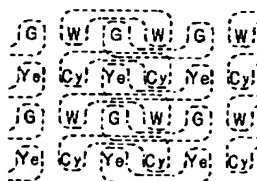


【図8】

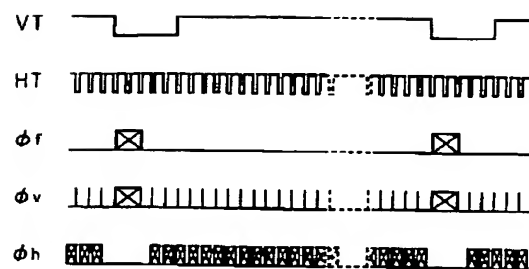
奇数フレーム



偶数フレーム



【図 1 1】



【图 12】

